

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002156

International filing date: 14 February 2005 (14.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-055280
Filing date: 27 February 2004 (27.02.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

17.02.2005

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月 27日
Date of Application:

出願番号 特願2004-055280
Application Number:
[ST. 10/C] : [JP2004-055280]

出願人 三洋電機株式会社
Applicant(s):

2005年 3月 25日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

【書類名】 特許願
【整理番号】 KGA1040028
【提出日】 平成16年 2月27日
【あて先】 特許庁長官殿
【国際特許分類】 H03L 7/093
【発明者】
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 【氏名】 木村 修治
【発明者】
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 【氏名】 橋爪 崇
【特許出願人】
 【識別番号】 000001889
 【氏名又は名称】 三洋電機株式会社
【代理人】
 【識別番号】 110000176
 【氏名又は名称】 一色国際特許業務法人
 【代表者】 一色 健輔
【手数料の表示】
 【予納台帳番号】 211868
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0313192

【書類名】特許請求の範囲

【請求項 1】

供給電圧に基づく発振周波数を有した発振信号を生成する発振回路と、前記生成された発振信号を所定分周数に基づいて分周した比較信号を生成する分周器と

、前記生成された比較信号と基準信号との位相差信号を生成する位相比較器と、

前記生成された位相差信号を直流化した電圧信号を生成して前記発振回路へと供給する低域通過フィルタと、

前記位相比較器から前記低域通過フィルタに対して供給される前記位相差信号の有効／無効を所定タイミングで切り替える制御部と、

前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、

前記位相差信号を有効とさせる場合には、前記位相差信号に応じた前記電圧信号に基づいて前記発振回路を発振動作させ、

前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、前記供給された所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させること、

を特徴とするPLL回路。

【請求項 2】

前記位相比較器と前記低域通過フィルタとの間には、前記位相差信号のレベルを変換するチャージポンプが設けられており、

前記制御部は、

前記位相差信号を無効とさせる制御信号が供給されたとき、前記チャージポンプの出力レベルをハイ・インピーダンスとさせるべく制御を行うこと、

を特徴とする請求項1に記載のPLL回路。

【請求項 3】

前記抵抗素子の抵抗値は、

前記発振信号の発振周波数に対応づけられたパワースペクトルを拡散させる度合いに応じて設定されること、を特徴とする請求項1又は2に記載のPLL回路。

【請求項 4】

前記位相差信号を無効とさせる期間は、

前記発振信号の発振周波数に対応づけられたパワースペクトルのピークレベルを減衰させる度合いに応じて設定されること、を特徴とする請求項1乃至3のいずれかに記載のPLL回路。

【請求項 5】

前記位相差信号を無効とさせる期間は、

前記発振信号の発振周波数に対応づけられたパワースペクトルを拡散させる度合いに応じて設定されること、を特徴とする請求項1乃至3のいずれかに記載のPLL回路。

【書類名】明細書

【発明の名称】PLL回路

【技術分野】

【0001】

本発明は、スペクトル拡散技術を採用したPLL回路に関する。

【背景技術】

【0002】

近年、信号処理の高速化や高密度実装化が進む電子機器では、EMI (Electro Magnetic Interference) ノイズを低減させることが重要な課題となっている。なお、EMIとは、電子機器が発生する放射性ノイズによって周辺機器が誤動作を引き起こす電磁波障害のことをいう。

【0003】

EMIノイズの主たる要因としては、PLL (Phase Locked Loop) 回路の電圧制御発振回路 (VCO) において生成されたシステムクロック信号が知られている。すなわち、一般的に高周波なシステムクロック信号に基づいて電子機器内でのスイッチング動作が高速に行われることによって、そのスイッチング・ノイズであるEMIノイズが発生するのである。

【0004】

このため、システムクロック信号に対して周波数変調を施し、システムクロック信号の周波数に対応づけられたパワースペクトルのピークレベルを減衰ならびに拡散させるといった、所謂スペクトル拡散の技術が注目されている。なお、パワースペクトルとは、時間軸上で信号の各周波数成分が現れる度合い (パワー) を、周波数軸対パワー軸で表現したものである。

【0005】

図6は、従来のスペクトル拡散技術を採用したPLL回路の構成を示す図である (例えば、特許文献1参照)。

【0006】

従来のPLL回路は、基準分周器610、電圧制御発振器 (以下、VCO) 620、比較分周器630、631、セレクタ632、位相比較器640、チャージポンプ650、低域通過フィルタ (以下、LPF) 660と、を有する。

【0007】

基準分周器610は、所定の発振回路において生成された発振クロック信号を分周して、位相比較器640に基準信号 f_r を供給するための分周器である。VCO620は、印加電圧に応じて発振周波数が制御されるものである。VCO620の発振出力 f_o は、通常、PLL回路が組み込まれた電子機器のシステムクロック信号として用いられる。

【0008】

比較分周器630は、ノーマル動作時に用いられる分周器であり、VCO620の発振出力 f_o を所定分周数 ($1/N_1$) に応じて分周してセレクタ632に供給する。なお、比較分周器630の分周数 ($1/N_1$) は、VCO620の発振出力 f_o として要求される周波数 (以下、基準周波数 f_1) に応じて設定される。

【0009】

比較分周器631は、VCO620の発振出力 f_o の周波数変調を実施する場合に用いられる分周器であり、VCO620の発振出力 f_o を所定分周数 ($1/N_2$) に応じて分周してセレクタ632に供給する。なお、比較分周器631の分周数 ($1/N_2$) は、VCO620の発振出力 f_o の発振周波数変調後の周波数 (以下、拡散周波数 f_2) に応じて設定される。

【0010】

セレクタ632は、切替信号SELに基づいて、比較分周器630の出力もしくは比較分周器631の出力のいずれか一方を選択し、位相比較器640に比較信号 f_v を供給するものである。位相比較器640は、セレクタ632から供給された比較信号 f_v と基準

信号 f_r との位相を比較する。

ここで、セレクタ632において比較分周器630の出力が選択された場合とする。

【0011】

位相比較器640は、基準信号 f_r の位相が比較信号 f_v の位相より進んでいるとき、その位相差に応じた位相差信号 Φ_r をチャージポンプ650に供給する。反対に、基準信号 f_r の位相が比較信号 f_v の位相より遅れているとき、その位相差に応じた位相差信号 Φ_v をチャージポンプ650に供給する。

【0012】

チャージポンプ650は、位相差信号 Φ_r 及び Φ_v に応じたレベルを有する電圧信号 C_P を、LPF660に供給する。LPF660は、電圧信号 C_P から高調波成分を除去するとともに電圧信号 C_P を直流化した直流電圧 V_r を、VCO620に供給する。

【0013】

この結果、VCO620は、位相差信号 Φ_r に応じた直流電圧 V_r が供給された場合には、発振周波数を高めて比較信号 f_v の位相を進めるように作用する。反対に、位相差信号 Φ_v に応じた直流電圧 V_r が供給された場合には、発振周波数を低くして比較信号 f_v の位相を遅らせるように作用する。そして、最終的には、基準信号 f_r と比較信号 f_v との間の位相差が生じなくなり、VCO620の発振出力 f_o の発振周波数は、基準周波数 f_1 にロックされた状態（ロック状態）になる。

【0014】

ところで、VCO620の出力 f_o の発振周波数に対応づけられたパワースペクトルは、通常、位相ロック状態での基準周波数 f_1 においてピークを生じることとなる。そこで、PLL回路は、基準周波数 f_1 におけるパワースペクトルを拡散させるべく、VCO620の発振出力 f_o の発振周波数変調を実施する。

【0015】

周波数変調が実施される場合には、セレクタ632において比較分周器631の出力が選択されて、位相ロック状態が一時的に解除される。そして、PLL回路は、基準信号 f_r と比較分周器631の出力の位相がロック状態となるように同様なPLL制御を行う。この結果、VCO620の発振出力 f_o の発振周波数は、基準周波数 f_1 から離れて一時的に不安定な状態（アンロック状態）となるものの、最終的には、拡散周波数 f_2 にロックされた状態となる。

【0016】

以上の動作が繰り返し行われた結果、VCO620の発振出力 f_o のパワースペクトルは、基準周波数 f_1 に集中した状態ではなく、基準周波数 f_1 と拡散周波数 f_2 との間の帯域幅（スペクトル幅）に拡散された状態となるので、基準周波数 f_1 におけるパワースペクトルのピークレベルが減衰される。よって、VCO620の発振出力 f_o に基づくEMIノイズが低減されるのである。

【特許文献1】特開2001-7700号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

ところで、比較分周器の分周比の切り替えタイミングが不適切である場合、基準周波数と拡散周波数との間の帯域幅が不安定となり、所望のパワースペクトルの拡散効果を得ることができない。例えば、図7に示すように、分周比切り替えタイミングが最適なタイミングよりも遅れる場合、パワースペクトルの波形は、基準周波数 f_1 と拡散周波数 f_2 において2つのピークを生じることとなる。このため、最適な分周比切り替えタイミングに設定するためには、PLL回路のループ時定数を最適化するなどといった複雑な調整が必要であり、また、分周比切り替えタイミング設定用として、PLL回路に複雑な仕組みを設ける必要があった。

【課題を解決するための手段】

【0018】

前述した課題を解決するための主たる本発明は、供給電圧に基づく発振周波数を有した発振信号を生成する発振回路と、前記生成された発振信号を所定分周数に基づいて分周した比較信号を生成する分周器と、前記生成された比較信号と基準信号との位相差信号を生成する位相比較器と、前記生成された位相差信号を直流化した電圧信号を生成して前記発振回路へと供給する低域通過フィルタと、前記位相比較器から前記低域通過フィルタに対して供給される前記位相差信号の有効／無効を所定タイミングで切り替える制御部と、前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、前記位相差信号を有効とさせる場合には、前記位相差信号に応じた前記電圧信号に基づいて前記発振回路を発振動作させ、

前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、前記供給された所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させること、とする。

【発明の効果】

【0019】

本発明によれば、EMIノイズを簡素な仕組みで低減させたPLL回路を提供することができる。

【発明を実施するための最良の形態】

【0020】

＜情報処理装置＞

図1は、本発明の実施形態に係るPLL回路を搭載した情報処理装置のシステム構成図である。なお、当該情報処理装置は、例えば、テレビ受信機、FM受信機、移動体通信機器など、本発明に係るPLL回路を搭載した電子機器のことである。

【0021】

情報処理装置では、システム全般の制御を司るCPU300や、所定のデジタル信号処理を実施するためのDSP(Digital Signal Processor)400が搭載されている。ここで、PLL回路100は、CPU300とDSP400を同期させるために設けられたものであり、CPU300およびDSP400に対して電圧制御発振回路(以下、VCO)20の発振出力であるシステムクロック信号SCLKを供給するものである。

【0022】

情報処理装置は、VCO20から出力されるシステムクロック信号SCLKに基づいた回路素子のスイッチング・ノイズなど、PLL回路100において生成されるEMIノイズの低減を図るべく、PLL回路100に対してスペクトル拡散技術を採用することとする。このスペクトル拡散技術を実現するための仕組みとして、ロック検出部200、カウンタ210が設けられている。

【0023】

ロック検出部200は、位相比較器40における位相比較の結果を示す位相差信号(Φ_r 、 Φ_v)に基づいて、PLL回路100が位相ロック状態であるか否かを検出する。そして、位相ロック状態が検出された場合、ロック検出信号をカウンタ210に供給する。

【0024】

カウンタ210は、ロック検出部200からロック検出信号が供給されたとき、カウント値をリセットするとともに、所定のクロック信号に基づいてカウンタ動作を開始する。また、このとき、カウンタ210は、位相差信号を無効とするためのリセット信号CXを位相比較器40に対して供給する。

【0025】

なお、カウンタ210において予め設定された規定数分カウントされるまでリセット信号CXは有効であり、規定数分カウントされたときにリセット信号CXは解除される。ここで、位相ロック状態において位相比較器40に対してリセット信号CXが供給されてからリセット信号CXが解除されるまでの時間のことを「リセット時間」と称する。

【0026】

PLL回路100は、位相比較器40に対してリセット信号CXが供給されたとき、本

発明に係る後述の周波数変調が実施されて、VCO20の発振周波数が変動する。そして、リセット信号CXが解除された後、再び、位相ロック状態となり、ロック検出部200は、カウンタ210におけるカウント値のリセットならびにカウント動作を再開させるべく、ロック検出信号をカウンタ210に対して供給するのである。

【0027】

<PLL回路>

本発明の一実施形態に係るスペクトル拡散技術を採用したPLL回路100の構成ならびに動作について、図2の回路図ならびに図3のタイミングチャートをもとに説明する。

【0028】

PLL回路100は、基準分周器10、電圧制御発振器（以下、VCO）20、比較分周器30、位相比較器40、チャージポンプ50、低域通過フィルタ（以下、LPF）60と、プルアップ抵抗70と、を有する。なお、PLL回路100は、通常、LPF60を除いて集積化されており、LPF60は外付けされる。

【0029】

まず、カウンタ210から位相比較器40に対してリセット信号CXが供給されない場合（通常動作時）について説明する。

【0030】

基準分周器10は、発振クロック信号（以下、発振CLK）を所定分周数に応じて分周して、位相比較器40に基準信号frを供給するための分周器である。なお、発振CLKは、水晶発振器などの発振回路において自励発振によって供給されてもよいし、外部からの他励発振によって供給されてもよい。

【0031】

VCO20は、印加電圧のレベルならびに印加時間に応じて発振周波数が制御されるものである。通常、バイアス電圧に応じて静電容量が変化する可変容量ダイオードが採用される。なお、VCO20の発振出力foは、情報処理装置のシステムクロック信号SCLKとして用いられる。

【0032】

比較分周器30は、VCO20の発振出力foを所定分周数（1/N1）に応じて分周して、位相比較器40に比較信号fvを供給するための分周器である。なお、比較分周器30の分周数（1/N1）は、VCO20の発振出力foとして要求される発振周波数（以下、基準周波数f1）に応じて設定される。また、比較分周器30は、分周数を固定とする固定分周器としてもよいし、任意に分周数を設定可能なプログラマブル分周器としてもよい。

【0033】

位相比較器40は、通常動作の場合、基準信号frと比較信号fvの位相を比較する。位相比較器40は、基準信号frの位相が比較信号fvの位相より進んでいるとき（図3（a）、（b）の期間Taを参照）、その位相差に応じた位相差信号Fr（図3（c）の期間Taを参照）をチャージポンプ50に供給する。反対に、基準信号frの位相が比較信号fvの位相より遅れているとき（図3（a）、（b）の期間Tbを参照）、その位相差に応じた位相差信号Fv（図3（d）の期間Tbを参照）をチャージポンプ50に供給する。つまり、通常動作時では、位相差信号Fr、Fvは有効である。

【0034】

チャージポンプ50は、例えば、電源電圧VCCと接地GNDとの間に、PMOSFET及びNMOSFETを直列接続して構成される。なお、PMOSFETのゲート電極には位相差信号Frの反転信号が供給され、NMOSFETのゲート電極には位相差信号Fvが供給される。また、PMOSFET及びNMOSFETの接続点に発生する電圧信号CPが、LPF60に供給される。

【0035】

チャージポンプ50は、位相差信号Fr及び位相差信号FvがともにLレベルの場合、PMOSFET及びNMOSFETはともにOFFとなり、出力（PMOSFET及びN

MOSFETの接続点) はハイ・インピーダンスを示す。

【0036】

なお、位相差信号 Φ_r がHレベル及び位相差信号 Φ_v がLレベルの場合、PMOSFETがONおよびNMOSFETがOFFとなり、電源電圧VCCに応じた電圧信号CPを出力する(図3(e)の期間Taを参照)。一方、位相差信号 Φ_r がLレベルおよび位相差信号 Φ_v がHレベルの場合、PMOSFETがOFFおよびNMOSFETがONとなり、接地GNDに応じた電圧信号CPを出力する(図3(e)の期間Tbを参照)。

【0037】

LPF60は、位相差信号 Φ_r 、 Φ_v が有効な場合、チャージポンプ50から位相差信号 Φ_r 、 Φ_v に基づく電圧信号CPが供給される。そして、LPF60は、供給された電圧信号CPから高調波成分を除去するとともに、電圧信号CPを直流化した直流電圧VcをVCO20に対して供給する。

【0038】

VCO20は、位相差信号 Φ_r に応じた直流電圧Vcpが供給された場合には、比較信号 f_v の位相を進めるべく発振周波数を高めるよう作用する。反対に、位相差信号 Φ_v に応じた直流電圧Vcpが供給された場合には、比較信号 f_v の位相を遅らせるべく発振周波数が低くなるよう作用する。この結果、最終的には、基準信号 f_r と比較信号 f_v との間の位相差が生じなくなり、VCO20の発振周波数は、基準周波数 f_1 にロックされた状態(位相ロック状態)となる。

【0039】

つぎに、ロック検出部200において位相ロック状態が検出されて、カウンタ210から位相比較器40に対してリセット信号CXが供給された場合(周波数変調動作時)について説明する。

【0040】

位相比較器40は、リセット処理部41(『制御部』)を有する。リセット処理部41は、通常動作の場合には位相差信号 Φ_r 、 Φ_v を有効とし、位相比較器40にリセット信号CXが供給された場合には位相差信号 Φ_r 、 Φ_v を無効とさせるものである。なお、位相差信号 Φ_r 、 Φ_v の無効とは、位相差信号 Φ_r 、 Φ_v のレベルを、チャージポンプ50の出力をハイ・インピーダンスとさせるためのレベル(Lレベル)へと強制的に変換することとする。また、リセット処理部41は、位相比較器40の外部に設けてもよい。

【0041】

チャージポンプ50の出力がハイ・インピーダンスとなる場合、チャージポンプ50からLPF60に対して電圧信号CPを供給する信号線とプルアップ電圧VCCとの間に設けたプルアップ抵抗70によって、プルアップ電圧VCC(プルアップ抵抗70の電圧降下を無視した場合)がLPF60に対して供給される。このとき、LPF60は、同様に、プルアップ電圧VCCから高調波成分を除去するとともに、プルアップ電圧VCCを直流化した直流電圧VpuをVCO20に対して供給する。

【0042】

VCO20は、プルアップ電圧VCCに応じた直流電圧Vpuが供給された場合、カウンタ210に基づきリセット信号CXが解除されるまで、直流電圧Vpuが供給される時間、すなわちリセット時間の経過に応じて発振周波数を高めるよう作用する。その後、リセット信号CXが解除されたとき、リセット処理部41によって位相差信号 Φ_r 、 Φ_v が再び有効な状態となり、VCO20には位相差信号 Φ_r もしくは位相差信号 Φ_v に応じた直流電圧Vcpが供給される。そして、VCO20の発振周波数を基準周波数 f_1 にロックさせるべく、前述した通常のPLL動作が行われる。

【0043】

このように、リセット信号CXに基づいて通常動作と周波数変調動作が繰り返し行われることで、VCO20の発振出力 f_0 のパワースペクトルは、基準周波数 f_1 に集中した状態ではなく、基準周波数 f_1 から高周波方向へと拡散された状態となるので、基準周波数 f_1 におけるパワースペクトルのピークレベルが減衰される。よって、VCO20の発

振出力に基づくEMIノイズが低減されるのである。

【0044】

また、従来の場合と異なり、VCO20の出力 f_0 の発振周波数は、リセット時間の経過に応じて発振周波数が上がり続ける。このため、従来の場合のように、周波数変調後にパワースペクトルがある特定周波数（拡散周波数）に集中するがなくなる。よって、位相差信号 Φ_r 、 Φ_v を無効にする仕組み（リセット処理部41）とプルアップ抵抗70といった簡素な仕組みを追加するだけで、EMIノイズのさらなる低減効果を向上させることができるのである。

【0045】

＜抵抗値に応じたスペクトル拡散の効果＞

図4は、リセット時間を一定とした場合のプルアップ抵抗70の抵抗値に応じたパワースペクトル波形の変化について説明する図である。なお、パワースペクトルとは、時間軸上で信号の各周波数成分が現れる度合い（パワー）を、周波数軸対パワー軸で表現したものである。また、パワースペクトルのレベルは、一般に、時間軸上での信号レベルのサンプリングデータをもとにフーリエ級数展開し、そのときのフーリエ係数（ \sin 、 \cos の係数）の大きさとして求められる。

【0046】

図4において実線で示すパワースペクトル波形は、PLL回路100が通常のPLL動作を行う場合である。PLL動作によって、VCO20の発振周波数は基準周波数 f_1 に集中するため、パワースペクトルは基準周波数 f_1 においてピークレベルを有することとなる。

【0047】

図4において破線、一点鎖線、二点鎖線で示すパワースペクトル波形は、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数（基準周波数 f_1 ）を周波数変調する場合である。なお、破線、一点鎖線、二点鎖線の順に、リセット時間が一定という条件下で、プルアップ抵抗70の抵抗値が減少した場合である。

【0048】

図4に示すように、周波数変調時のパワースペクトルのピークレベルは、プルアップ抵抗70の抵抗値によらず、PLL通常動作時のパワースペクトルのピークレベルよりも減衰する。なお、リセット時間が一定であるため、プルアップ抵抗70の抵抗値の変化によって、パワースペクトルのピークレベルの減衰量には変化がない。

【0049】

一方、プルアップ抵抗70の抵抗値が小さい場合は、プルアップ抵抗70の抵抗値が大きい場合と比べて、プルアップ抵抗70での電圧降下が減少し、ひいては、VCO20に供給される直流電圧 V_{pu} のレベルが大きくなる。よって、VCO20の発振周波数がより高周波の方向へと変化することでスペクトル幅が拡大し、パワースペクトルがより拡散される。

【0050】

このように、プルアップ抵抗70の抵抗値は、パワースペクトルを拡散させる度合いに応じて設定することで、パワースペクトルの拡散効果をより向上させることができる。

【0051】

＜リセット時間に応じたスペクトル拡散の効果＞

図5は、プルアップ抵抗70の抵抗値を一定とした場合のリセット時間の長さに応じたパワースペクトル波形の変化について説明する図である。

【0052】

図5において実線で示すパワースペクトル波形は、PLL回路100が通常のPLL動作を行う場合である。PLL動作によって、VCO20の発振周波数は基準周波数 f_1 に集中するため、パワースペクトルは基準周波数 f_1 においてピークレベルを有することとなる。

【0053】

図5において破線、一点鎖線、二点鎖線で示すパワースペクトル波形は、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数（基準周波数f1）を周波数変調する場合である。なお、破線、一点鎖線、二点鎖線の順に、プルアップ抵抗70の抵抗値が一定という条件下で、リセット時間を長くした場合である。

【0054】

図5に示すように、周波数変調時のパワースペクトルのピークレベルは、PLL通常動作時のパワースペクトルのピークレベルよりも減衰する。また、リセット時間が長くなるにつれて、基準周波数f1から離れる時間も長くなるため、パワースペクトルのピークレベルの減衰量がより大きくなる。さらに、リセット時間が長くなるにつれて、VCO20の発振周波数はより高周波へと変化するため、スペクトル幅が拡大してパワースペクトルがより拡散される。

【0055】

このように、リセット時間の長さが、パワースペクトルのピークレベルを減衰させる度合いや、パワースペクトルを拡散させる度合いに応じて設定されることで、パワースペクトルの拡散効果をより向上させることができる。また、リセット時間の長さの設定と組み合わせて、前述したプルアップ抵抗70の抵抗値を適宜な値に設定することで、パワースペクトルの拡散効果をより一層向上させることはいうまでもない。

【0056】

以上、本実施の形態について説明したが、前述した実施例は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るととともに、本発明にはその等価物も含まれる。

【0057】

例えば、前述した実施形態において、PLL回路の構成上チャージポンプ50を設けない場合がある。この場合、例えば、位相比較器40の出力段は、チャージポンプ50と同様な直列接続したPMOSFETとNMOSFETが設けられ、前述した電圧信号CPに相当する位相差信号を出力することとする。また、リセット処理部41は、リセット信号CXが供給されたとき、位相比較器40の出力段のPMOSFETおよびNMOSFETをともにOFFとさせて、位相比較器40の出力レベルをハイ・インピーダンスとさせるべく制御を行うこととする。

【0058】

また、前述した実施形態において、プルアップ抵抗70ではなく、チャージポンプ50とLPF60との間の信号線と接地GNDとの間に設けるプルダウン抵抗を採用しても勿論よい。プルダウン抵抗を採用する場合、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数（基準周波数f1）を周波数変調したとき、VCO20に供給される直流電圧VpuのレベルはLレベルとなる。よって、VCO20の発振周波数は低周波の方向へ変化し、プルアップ抵抗70の場合と同様なパワースペクトルの拡散効果が得られることとなる。

【図面の簡単な説明】

【0059】

【図1】本発明の一実施形態に係るPLL回路を搭載したシステムの概略構成図である。

【図2】本発明の一実施形態に係るPLL回路の構成図である。

【図3】本発明の一実施形態に係るPLL回路の動作を説明するタイミングチャートである。

【図4】本発明の一実施形態に係る抵抗値に応じたパワースペクトル波形を示す図である。

【図5】本発明の一実施形態に係るリセット期間に応じたパワースペクトル波形を示す図である。

【図6】従来のPLL回路の構成図である。

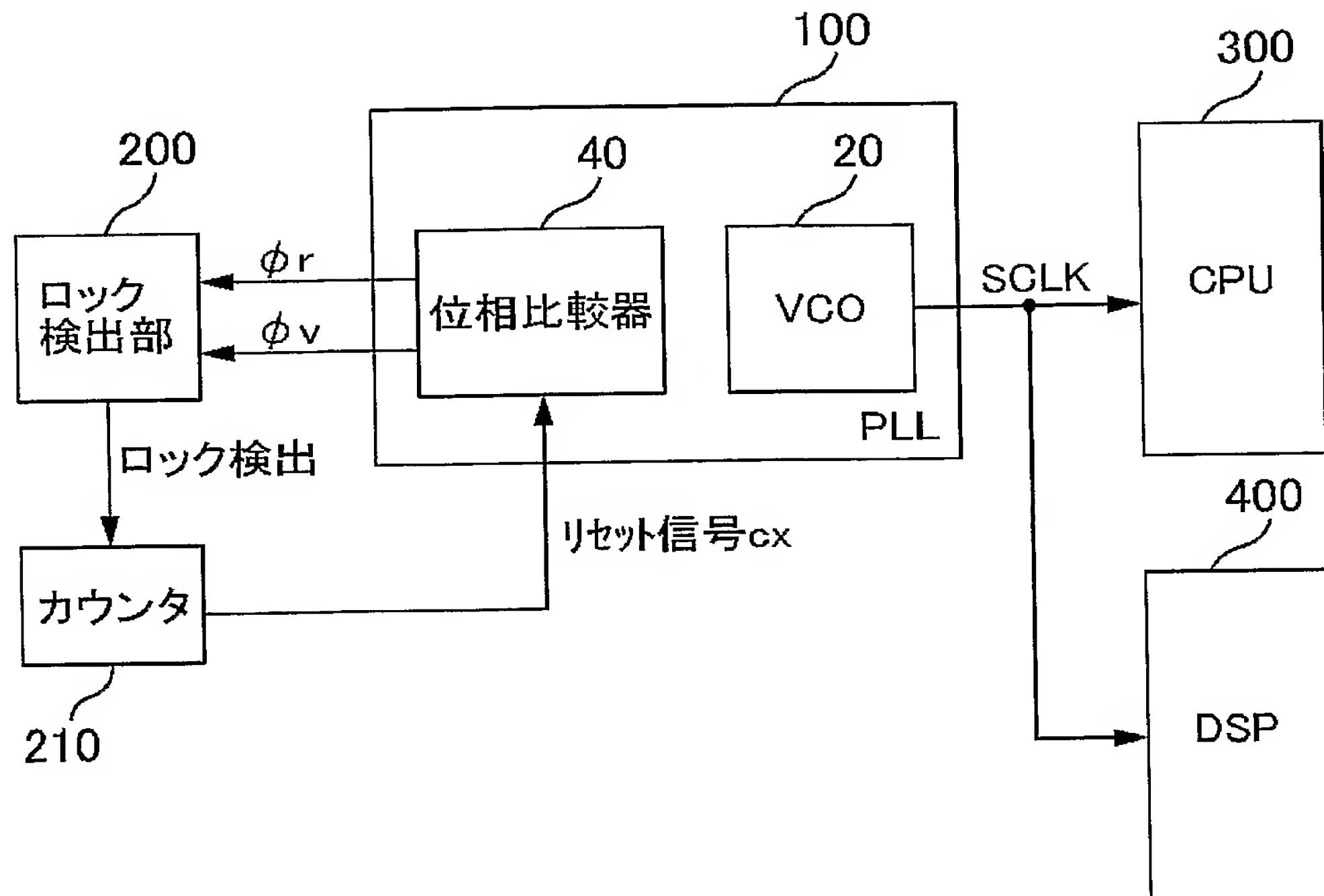
【図7】従来のパワースペクトル波形を示す図である。

【符号の説明】

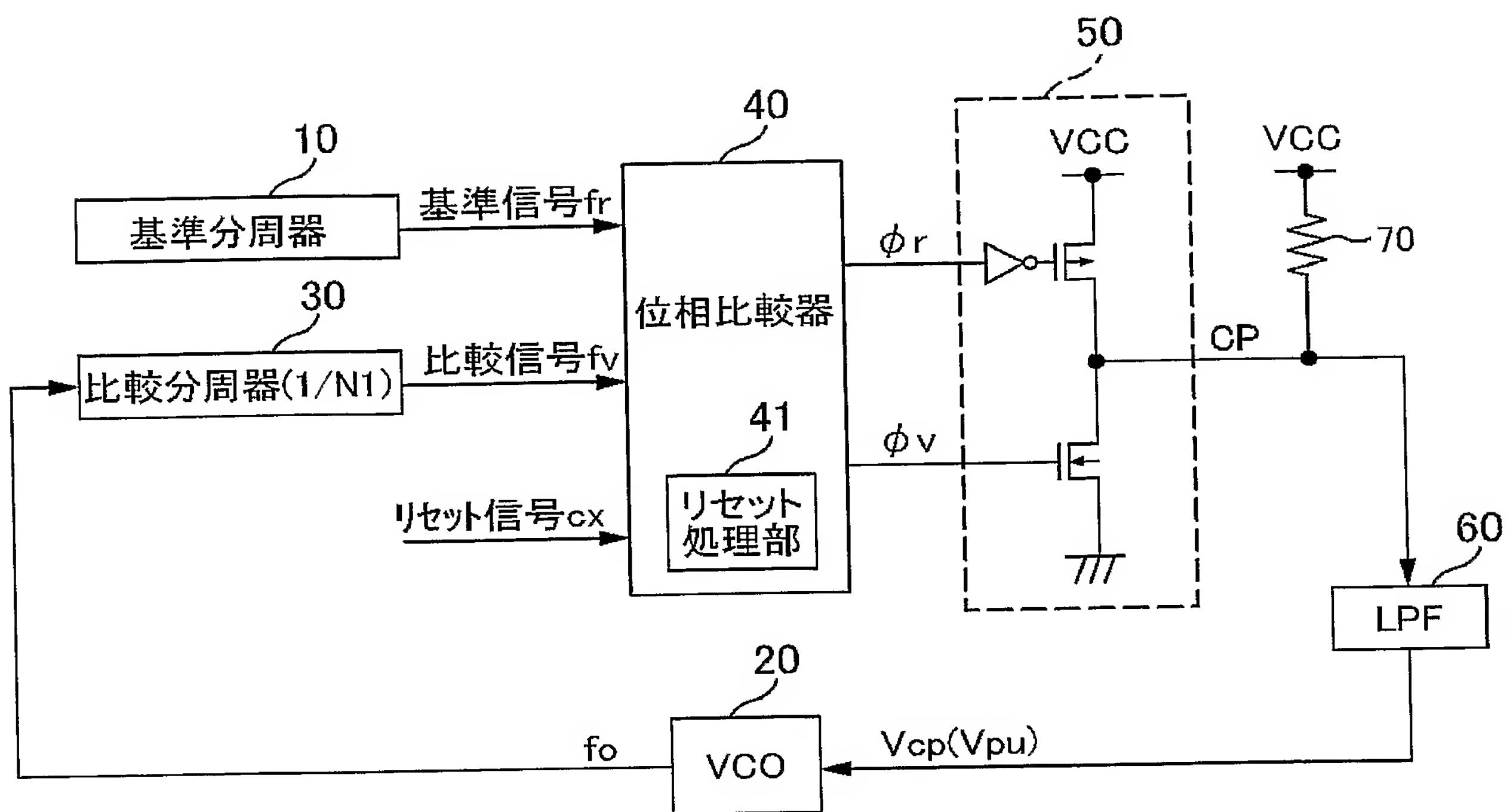
【0060】

- 10、610 基準分周器
- 20、620 電圧制御発振器
- 30、630、631 比較分周器
- 40、640 位相比較器
- 50、650 チャージポンプ
- 60、660 低域通過フィルタ
- 632 セレクタ
- 100 PLL回路
- 200 ロック検出部
- 210 カウンタ
- 300 CPU
- 400 DSP

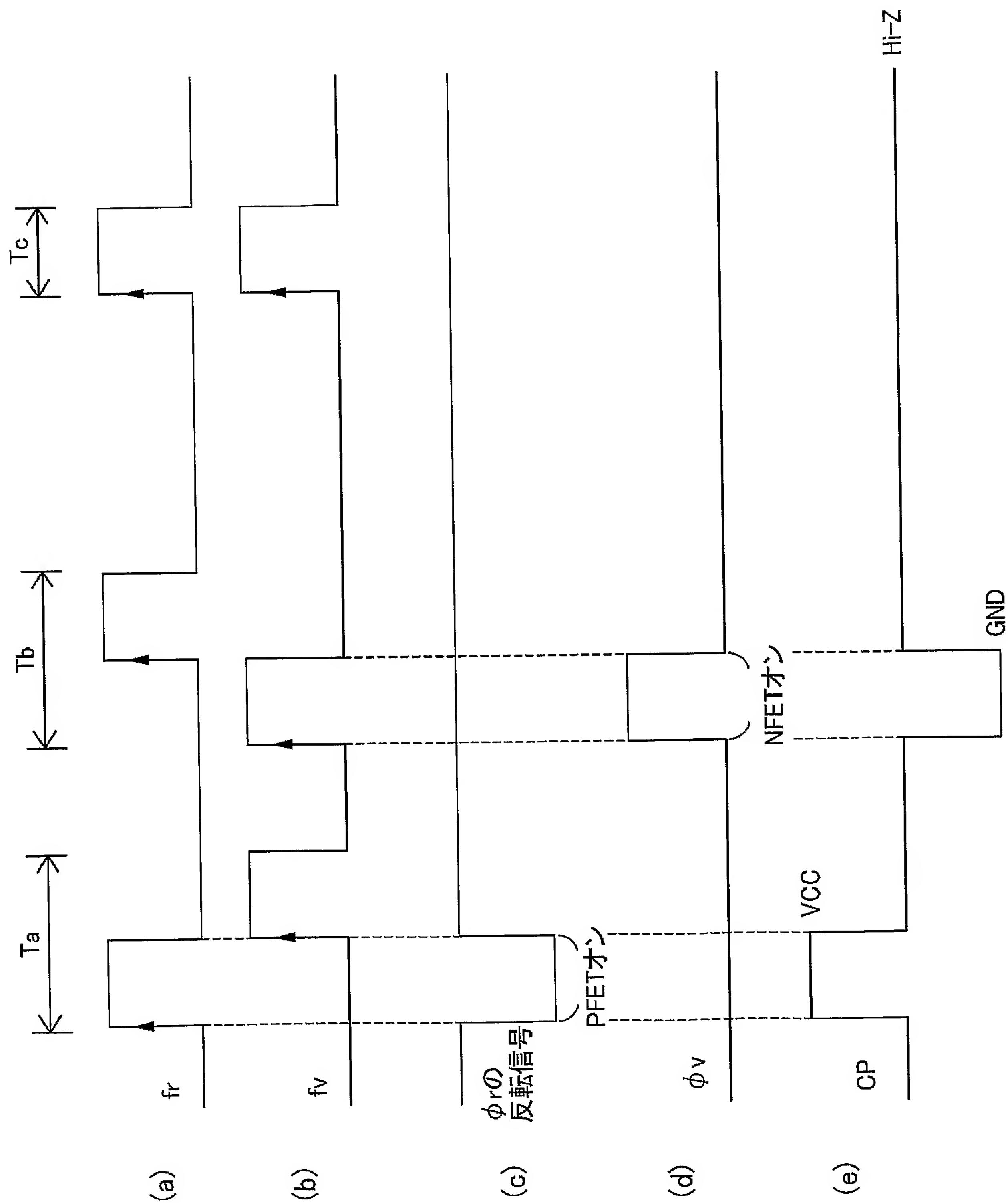
【書類名】 図面
【図1】



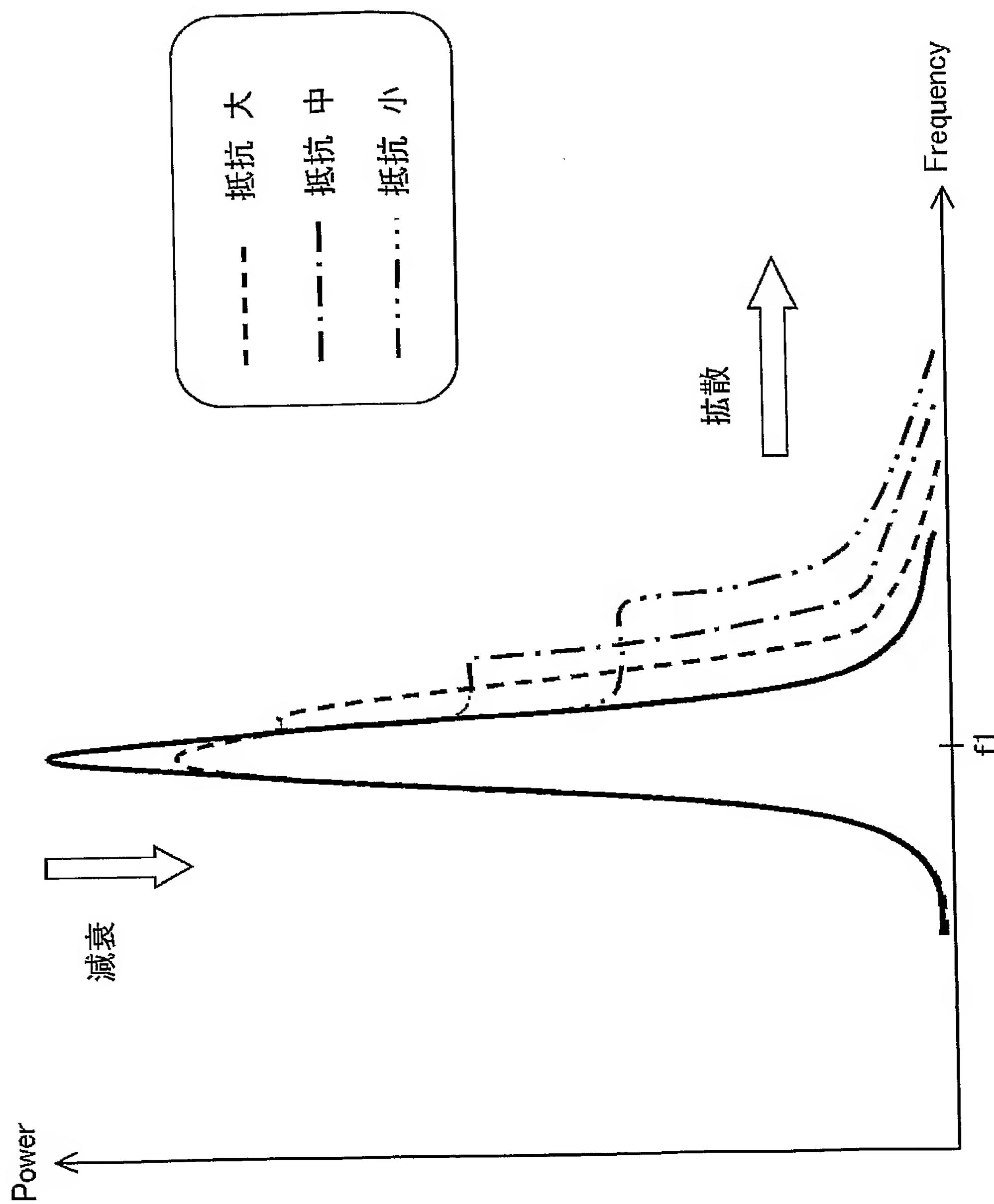
【図2】



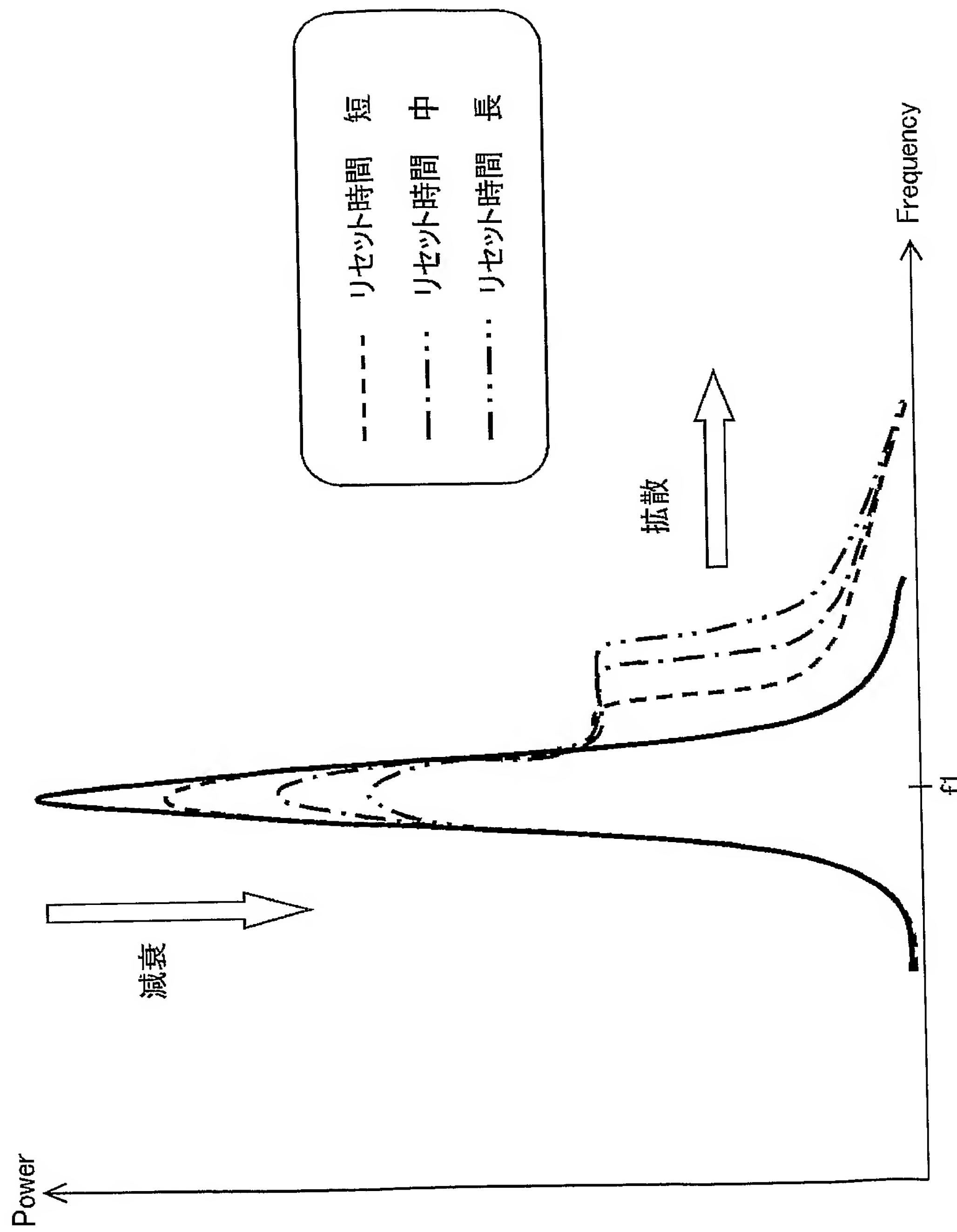
【図3】



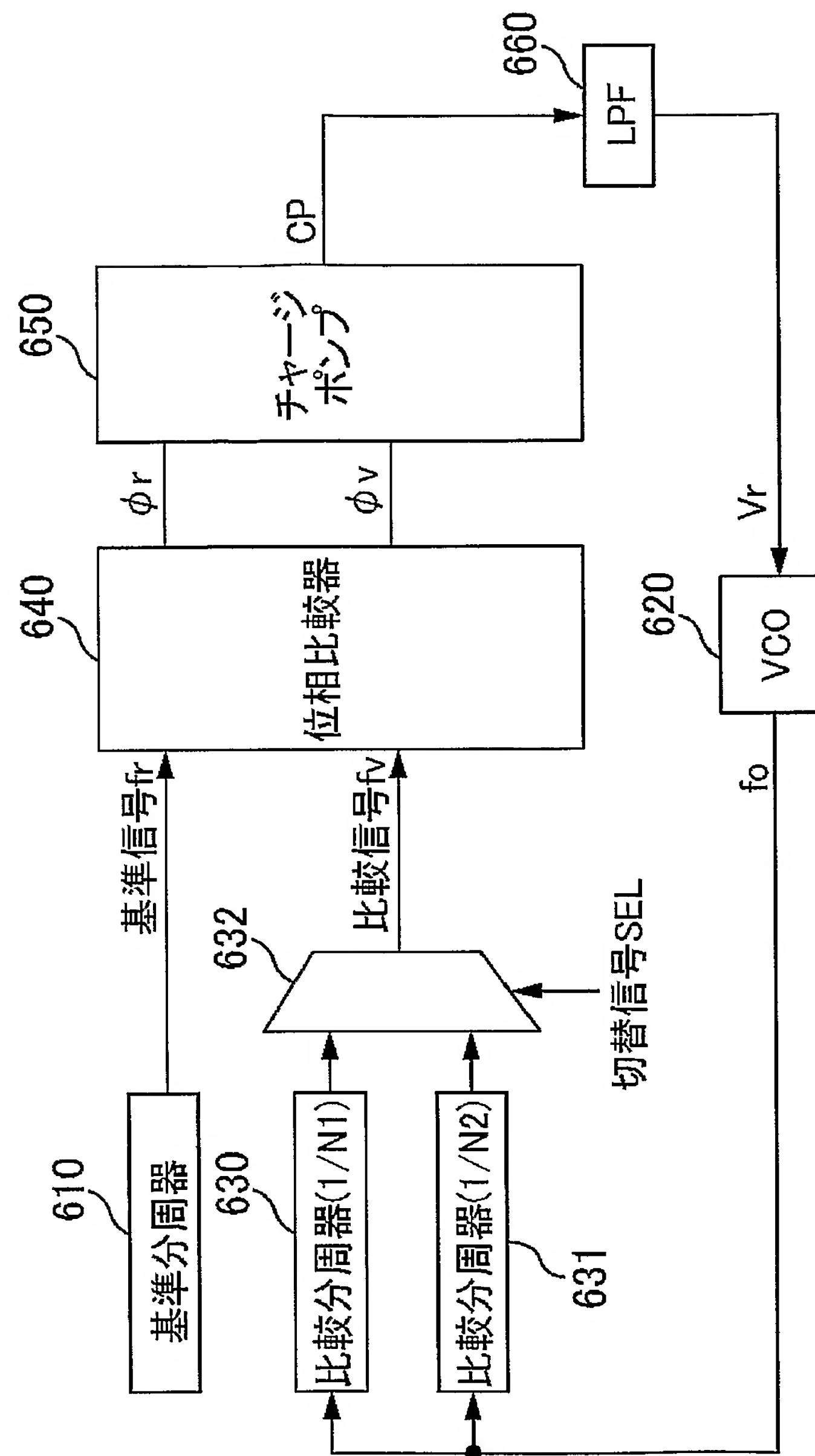
【図4】



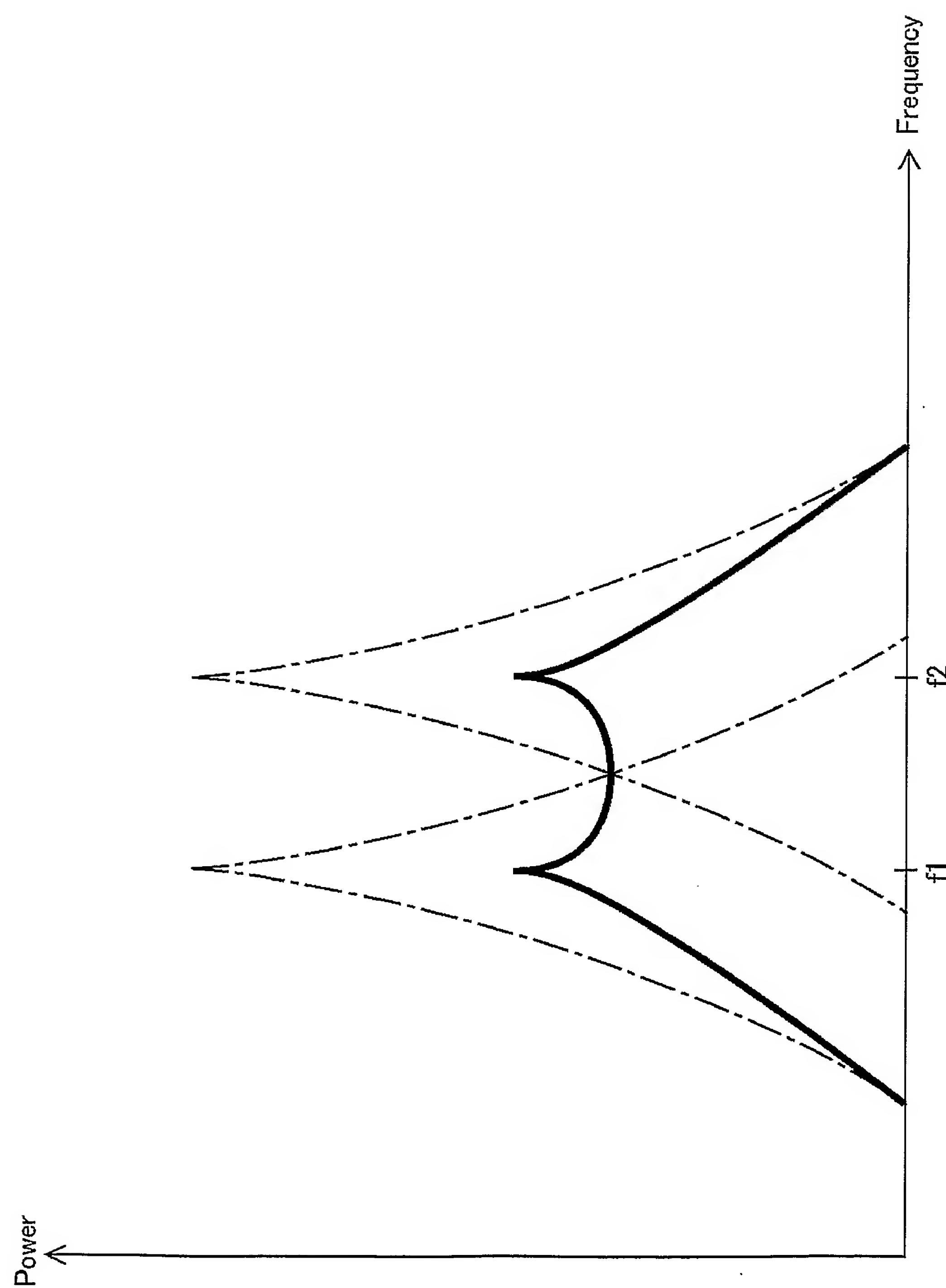
【図5】



【図6】



【図7】



【書類名】要約書

【要約】

【課題】簡素な仕組みでEMIノイズを低減させる。

【解決手段】供給電圧に基づく発振周波数を有した発振信号を生成する発振回路と、前記生成された発振信号を所定分周数に基づいて分周した比較信号を生成する分周器と、前記生成された比較信号と基準信号との位相差信号を生成する位相比較器と、前記生成された位相差信号を直流化した電圧信号を生成して前記発振回路へと供給する低域通過フィルタと、前記位相比較器から前記低域通過フィルタに対して供給される前記位相差信号の有効／無効を所定タイミングで切り替える制御部と、前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、前記位相差信号を有効とさせる場合には、前記位相差信号に応じた前記電圧信号に基づいて前記発振回路を発振動作させ、前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、前記供給された所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させる。

【選択図】 図2

特願 2004-055280

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社